

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

29.07.98

REC'D 14 AUG 1998

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1997年 9月12日

出 願 番 号
Application Number:

平成 9年特許願第248701号

出 願 人
Applicant (s):

株式会社日立製作所

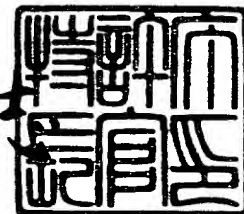
BEST AVAILABLE COPY

PRIORITY DOCUMENT

1998年 6月26日

特 許 庁 長 官
Commissioner,
Patent Office

山 建 志



出証番号 出証特平10-3047867

【書類名】 特許願

【整理番号】 HA11303000

【提出日】 平成 9年 9月12日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 17/687

【発明の名称】 電流スイッチ回路

【請求項の数】 8

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

【氏名】 加藤 和男

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

【氏名】 佐瀬 隆志

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

【氏名】 堀田 多加志

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業部内

【氏名】 青木 郭和

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100087170

【弁理士】

【氏名又は名称】 富田 和子

【電話番号】 045(316)3711

【手数料の表示】

【予納台帳番号】 012014

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003111

【プルーフの要否】 要

【書類名】明細書

【発明の名称】電流スイッチ回路

【特許請求の範囲】

【請求項1】制御電極を順バイアスした電流スイッチと、
前記電流スイッチの低電圧側電極に出力が接続された、相補対性出力の前記電流スイッチ駆動用電圧スイッチと、
を備えることを特徴とする電流スイッチ回路。

【請求項2】請求項1記載の電流スイッチ回路であって、
前記電流スイッチは、導通時に一定電流を流す定電流回路を構成していることを特徴する電流スイッチ回路。

【請求項3】請求項1または2記載の電流スイッチ回路であって、
前記電圧スイッチは、電源側電極が電圧降下手段を介して電源に接続されていることを特徴とする電流スイッチ回路。

【請求項4】請求項1または2記載の電流スイッチ回路であって、
前記電圧スイッチは、出力が振幅調節手段に接続されていることを特徴とする電流スイッチ回路。

【請求項5】請求項1、2、3または4記載の電流スイッチ回路であって、
前記電流スイッチは、MOSトランジスタであることを特徴とする電流スイッチ回路。

【請求項6】請求項1、2、3、4または5記載の電流スイッチ回路であって、
前記電圧スイッチは、CMOSインバータであることを特徴とする電流スイッチ回路。

【請求項7】入力された2つの信号の位相差に応じて、2つの出力端子のうちのいずれか一方から位相差信号を出力する位相比較回路と、前記位相比較回路から出力された位相差信号にしたがい、キャパシタを充放電して制御電圧信号を生成するチャージポンプ回路と、前記チャージポンプ回路で生成された制御電圧信号にしたがい、発信周波数を調節する発振器と、を備えた位相同期ループ回路であって、

前記チャージポンプ回路は、前記位相比較回路の一方の出力端子から出力された位相差信号にしたがい、前記キャパシタを充電する第一の電流スイッチ回路と、前記位相比較回路の他方の出力端子から出力された位相差信号にしたがい、前記キャパシタを放電する第二の電流スイッチ回路と、を備え、

前記第一および第二の電流スイッチ回路は、制御電極を順バイアスした電流スイッチと、前記電流スイッチの低電圧側電極に出力が接続された、相補対性出力の前記電流スイッチ駆動用電圧スイッチと、を備える

ことを特徴とする位相同期ループ回路。

【請求項8】 入力デジタル信号のビットMLB～LSB各々に対応して設けられた複数の電流スイッチ回路を備えたデジタル／アナログ変換回路であって、

前記複数の電流スイッチ回路各々は、

制御電極を順バイアスした電流スイッチと、

前記電流スイッチの低電圧側電極に出力が接続された、相補対性出力の前記電流スイッチ駆動用電圧スイッチと、を備え、

かつ、前記電圧スイッチに入力されたビットの信号にしたがい、前記電流スイッチが、当該ビットに応じた電流を流すように、2進で重み付けがなされている

ことを特徴とするデジタル／アナログ変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流スイッチ回路に関し、特に、位相同期ループ（PLL）回路、アナログ・デジタル（A/D）変換回路、あるいはデジタル・アナログ（D/A）変換回路など、高速なアナログスイッチを必要とする回路に好適な電流スイッチ回路に関する。

【0002】

【従来の技術】

従来より、PLL回路、A/D変換回路、あるいはD/A変換回路などの高速なアナログスイッチを必要とする回路に、カスコードスイッチ回路や低インピー

ダンスのレベルシフト駆動段を有する電流スイッチ回路が用いられている。レベルシフト駆動段を有する電流スイッチ回路については、シェー・グレイムの「改良されたD/A変換器は変換時間を改善する」イーディエヌマガジン、1971年3月15日号、39-41頁(J.Grame "Monolithic D/A Improves Conversion Time" EDN Magazine, March 15, pp.39-41)に具体例が記載されている。

【0003】

【発明が解決しようとする課題】

ところで、上記のカスコードスイッチ回路は、スイッチ・オフ時の寄生容量に起因する時定数のため、スイッチ・オフ時間を十分に短縮することができない。このため、スイッチの高速化を十分に図ることができない。

【0004】

また、上記のレベルシフト駆動段を有する電流スイッチ回路では、レベルシフト駆動段が複雑（直列素子数が多い）で素子のばらつきの影響を受けやすい。このため、レベルシフト駆動段をエミッタホロワで構成し、該駆動段を高電圧動作させるようにしている。したがって、レベルシフト駆動段を有する電流スイッチ回路では、LSIの低電圧化を図るのに適していない。低電圧動作させようとすると、スイッチング信号に対して、エミッタ電流の減少方向の駆動インピーダンスが該電流の増加方向の駆動インピーダンスよりも高くなり、スイッチング時間が非対称に長くなってしまう。このため、スイッチの高速化を十分に図ることができない。

【0005】

本発明は上記事情に鑑みてなされたものであり、本発明の目的は、スイッチのオン／オフ双方向ともにスイッチ時間を短縮可能な電流スイッチ回路を提供することにある。また、本発明の他の目的は、低電圧動作が可能な電流スイッチ回路を提供することにある。

【0006】

【課題を解決するための手段】

上記課題を解決するために、本発明の電流スイッチ回路は、制御電極を順バイアスした電流スイッチと、

前記電流スイッチの低電圧側電極に出力が接続された、相補対性出力の前記電流スイッチ駆動用電圧スイッチと、

を備えることを特徴とする。

【0007】

ここで、電流スイッチとしては、たとえばMOSトランジスタやバイポーラ形トランジスタ、あるいはIGBTなどの半導体スイッチが適用可能である。この電流スイッチは、定電流回路を構成するようにしてもよい。

【0008】

また、相補対性出力の電圧スイッチとしては、たとえばCMOSインバータや、バイポーラ相補エミッタホロワなどが適用可能である。

【0009】

本発明は、前記の構成により、電圧スイッチの入力に「開」方向の制御信号が印加されると、該電圧スイッチの出力は、順バイアスされている電流スイッチの低電圧側電極電圧を、該電流スイッチを遮断する方向に変化させる。これにより、電流スイッチは、急速に遮断する。

【0010】

一方、電圧スイッチの入力に「閉」方向の制御信号が印加されると、該電圧スイッチの出力は、電流スイッチの低電圧側電極電圧を導通させる方向に変化させる。これにより、電流スイッチは、急速に導通する。

【0011】

ここで、本発明では、電流スイッチの駆動段として、相補対性出力特性の電圧スイッチを用いている。この相補対性出力特性の電圧スイッチは、高低両出力レベルとも低出力インピーダンスとなるので、スイッチのオン／オフ双方向ともにスイッチ時間を十分に短縮することができる。

【0012】

また、電流スイッチの駆動段を、相補対性出力特性を有する電圧スイッチで構成しているので、駆動段の直列素子数を少なくすることができる。このため、低電圧で動作させることができる。

【0013】

【発明の実施の形態】

以下に、本発明の第一実施形態について説明する。

【0014】

図1は、本発明の第一実施形態である電流スイッチ回路の概略構成図である。

【0015】

ここで、Q11は電流スイッチとして機能するMOSトランジスタ、Q12はバイアス電流 I_S を流すMOSダイオード、Inv13はMOSトランジスタQ11駆動用の電圧スイッチとして機能するCMOSインバータ、そして、14は負荷である。

【0016】

MOSトランジスタQ11のゲートは、バイアス電流 I_S を流すMOSダイオードQ12と接続されている。これにより、MOSトランジスタQ11のゲートに順バイアス電圧が印加される。また、MOSトランジスタQ11のドレインは、負荷4に接続されている。なお、MOSトランジスタQ11およびMOSダイオードQ12は、MOSトランジスタQ11の導通時にバイアス電流 I_S と等しい電流を流すカレントミラー回路を構成している。

【0017】

CMOSインバータInv13は、相補対性出力回路であり、高低両出力レベルとも低出力インピーダンスとなる。このCMOSインバータInv13の出力は、MOSトランジスタQ11のソース（低電圧側電極）に接続されている。また、このCMOSインバータInv13の電源側電極は、それぞれ接地GND、電源 V_{CC} に接続されている。

【0018】

本実施形態では、負荷14を、シンク電流 I_0 およびソース電流 I_0' の双方に対応できる一般性のある回路で示すため、カレントミラー回路で構成している。ただし、負荷14はカレントミラー回路に限定されるものではない。

【0019】

上記構成の電流スイッチ回路では、入力15に入力された制御信号の電圧値 V

i により変化するCMOSインバータInv13の出力レベルにしたがい、MOSトランジスタQ11が開閉する。

【0020】

すなわち、制御信号の電圧値 V_i が0の場合、CMOSインバータInv13の出力は V_{CC} レベルになる。この場合、MOSトランジスタQ11のソースゲート間は、逆バイアス状態になるため、MOSトランジスタQ11は、遮断状態になる。

【0021】

一方、制御信号の電圧値 V_i が V_{CC} レベルに変化すると、CMOSインバータInv13の出力は0レベルになる。この場合、MOSトランジスタQ11は、順バイアス状態になる。このため、MOSトランジスタQ11は導通状態になり、回路電流 I_0 (I_S と略等しい) が流れる。

【0022】

これにより、 V_{CC} レベルの制御信号の印加時間に対応した時間だけ、負荷14に電流を流す。

【0023】

図2は、図1に示す電流スイッチ回路を、 $V_{CC}=2.5V$ のCMOSLSIで構成した場合に、当該回路の入出力動作波形がどのようなになるかシミュレートした結果を示す図である。なお、動作条件は、バイアス電流 $I_S=10\mu A$ 、制御信号のパルス幅 $t_i=1ns$ 、該パルス幅の立ち上り/立ち下り時間 $=100ps$ である。

【0024】

本実施形態の電流スイッチ回路では、CMOSインバータInv13の出力インピーダンスが、高低両出力レベルともに低インピーダンスとなる。このため、MOSトランジスタQ11を流れる回路電流 I_0 のスイッチング過渡期間は、立ち上りおよび立ち下りともに、CMOSインバータInv13の出力電圧が、MOSトランジスタQ11のバイアス電圧幅 ($0V \sim V_D (=MOSダイオードQ12の両端間電圧)$) を横切って変化する期間に略限定される。このため、非常に短い整定時間を実現することができる。

【0025】

なお、図2において、回路電流 I_0 のスイッチング過渡期間におけるノイズ分は、CMOSインバータInv13を構成するMOSトランジスタのゲートドレイン間の寄生容量への入力波形の微分ノイズである。立ち上りおよび立ち下りの電流ノイズは、1回のスイッチ・オンでMOSトランジスタQ11を流れる電流の理想的な値 $I_S \cdot t_i$ 積に対して誤差分となるが、 $I_S = 10 \mu A$ 、 $t_i = 1 ns$ という小さな動作条件においても、その誤差分は1~2%程度にすぎない。

【0026】

本実施形態では、駆動段として、出力レベルが高、中、低レベルとも低出力インピーダンスである相補対性出力のCMOSインバータInv13を用いている。さらに、CMOSインバータInv13の出力を電流スイッチであるMOSトランジスタQ11のソース（低電圧側電極）に接続して、MOSトランジスタQ11を駆動することで、CMOSインバータInv13の出力をMOSトランジスタQ11のゲート（高電圧側電極）に接続して、MOSトランジスタQ11を駆動する場合に比べて、MOSトランジスタQ11の被制御端子に生ずる寄生容量が小さくなるようにしている。

【0027】

このようにすることで、電流スイッチ駆動の整定時間は、一般にスイッチングトランジスタの寄生容量による過渡時間に依存するので、駆動段の出力インピーダンスを立ち上りおよび立ち下りともに小さくすることができ、これにより、MOSトランジスタQ11の整定時間を短縮することができ、したがって、電流スイッチを高速に動作させることができる。たとえば、MOSLSIではGHz動作、パワー回路ではMHz動作が可能となる。

【0028】

また、本実施形態では、電流スイッチをソース駆動しているので、電流スイッチをゲート駆動した場合に比べ、出力側へのミラー効果や駆動のトランジェントノイズを小さくすることができる。このため、スイッチング制御の精度を高めることができる。

【0029】

さらに、本実施形態では、駆動段に相補対性出力回路を用いているので、駆動段の電源に対する直列素子数を少なくすることができる。このため、低電圧動作が可能となり、駆動電力を低くすることができる。たとえば、MOSLSIでは、1V程度の電源電圧で動作が可能となる。

【0030】

その他、本実施形態は、回路が簡単、動作が確実であるなどの多くの利点を有する。

【0031】

本実施形態の電流スイッチ回路は、PLL回路や、A/D変換回路、あるいはD/A変換回路といった、高速なアナログスイッチを必要とする回路に、好適である。

【0032】

次に、上記説明した本発明の第一実施形態である電流スイッチ回路の適用例について説明する。

【0033】

まず、本発明の第一実施形態である電流スイッチ回路をPLL回路に適用した場合について説明する。

【0034】

図3は本発明の第一実施形態である電流スイッチ回路が適用されたPLL回路の概略ブロック図、図4は図3に示すPLL回路の概略構成図である。

【0035】

ここで、21は位相比較回路、22は位相比較回路21の位相差出力から積分制御電圧信号を生成するチャージポンプ回路、23はチャージポンプ回路22の積分制御電圧信号を制御電流に変換するV/I変換回路、24は位相比較回路21の位相差出力に比例したパルス幅の電流を系の安定化リード信号として流すT/I変換回路、25は各種電流信号を極性を含めて加算する電流加算回路、26は電流加算回路25で加算した電流信号にしたがい発振周波数を変える電流制御発振器(CCO)である。

【0036】

本実施形態の電流スイッチ回路は、チャージポンプ回路22およびT/I変換回路24に用いられている。

【0037】

位相比較回路21は、二つの位相入力端子211、212と、UPおよびDOWNの二つの位相差出力端子213、214とを有している。位相比較回路21は、位相入力端子211、212に各々入力された信号の位相差に応じた信号（ネガ）を、位相差出力端子213、214から出力する。なお、位相差出力端子213、214は、各々インバータを介してチャージポンプ回路22およびT/I変換回路24に接続されている。

【0038】

チャージポンプ回路22は、図4に示すように、キャパシタCF220を充電する電流スイッチ回路（PMOSトランジスタQ221、CMOSインバータInv222）と、キャパシタCF220を放電する電流スイッチ回路（NMOSトランジスタQ223、CMOSインバータInv224）と、を備えて構成されている。

【0039】

PMOSトランジスタQ221は、ドレインが負荷となるキャパシタCF220に接続され、ゲートがカレントミラーバイアス用のMOSダイオードQ225に接続されている。そして、ソースが、インバータを介して位相比較回路21の位相出力端子213に接続されたCMOSインバータInv222の出力に、接続されている。

【0040】

一方、NMOSトランジスタQ223は、ドレインが負荷となるキャパシタCF220に接続され、ゲートがカレントミラーバイアス用のMOSダイオードQ226に接続されている。そして、ソースが、インバータを介して位相比較回路21の位相出力端子214に接続されたCMOSインバータInv224の出力に、接続されている。

【0041】

なお、PMOSトランジスタQ221およびNMOSトランジスタQ223のゲートは、MOSトランジスタQ227を介して、定電流 I_{S1} により、共通にバイアスされている。

【0042】

キャパシタCF220への充放電は、位相比較回路21の位相差出力の積分電圧信号して、V/I変換回路23へ出力される。

【0043】

T/I変換回路24も、チャージポンプ回路22と同様に、2つの電流スイッチ回路を備えて構成されている。すなわち、図4に示すように、PMOSトランジスタQ241およびCMOSインバータInv242でなる電流スイッチ回路と、NMOSトランジスタQ243およびCMOSインバータInv244でなる電流スイッチ回路と、を備えて構成されている。

【0044】

PMOSトランジスタQ241は、ドレインがNMOSトランジスタQ243のドレインに接続され、ゲートがカレントミラーバイアス用のMOSダイオードQ245に接続されている。そして、ソースが、インバータを介して位相比較回路21の位相出力端子213に接続されたCMOSインバータInv242の出力に、接続されている。

【0045】

一方、NMOSトランジスタQ243は、ドレインがPMOSトランジスタQ241のドレインに接続され、ゲートがカレントミラーバイアス用のMOSダイオードQ246に接続されている。そして、ソースが、インバータを介して位相比較回路21の位相出力端子214に接続されたCMOSインバータInv244の出力に、接続されている。

【0046】

なお、PMOSトランジスタQ241およびNMOSトランジスタQ243のゲートは、MOSトランジスタQ247を介して、定電流 I_{S2} により、共通にバイアスされている。また、PMOSトランジスタQ241およびNMOSトラン

ジスタQ243の共通するドレインは、電流加算回路25に接続されている。

【0047】

次に、図4に示すPLL回路の動作について説明する。

【0048】

位相比較回路21の入力端子211、212各々に入力された信号の位相差に対応して、出力端子213に図4のA部に示すようなUPの位相差パルス信号が出力されると、このパルス信号により、チャージポンプ回路22のCMOSインバータInv222の出力がMOSトランジスタQ221のソースに印加される。これにより、MOSトランジスタQ221が、このパルス信号のパルス幅（位相差パルス幅）の期間だけ導通し、キャパシタCF220を充電する。キャパシタCF220の電圧増加分は、V/I変換回路23および電流加算回路25を介して、CCO26に入力される。これを受けて、CCO26は、発振周波数 f_v を増加させる。

【0049】

また、出力端子213から出力されたUPの位相差パルス信号により、T/I変換回路24のCMOSインバータInv242の出力がMOSトランジスタ241のソースに印加される。これにより、MOSトランジスタQ241が、位相差パルス幅の期間だけ導通し、電流加算回路25のリード制御入力に、電流を加える方向の系の安定化リード制御信号を印加する。

【0050】

一方、位相比較回路21の入力端子211、212各々に入力された信号の位相差に対応して、出力端子214に図4のB部に示すようなDOWNの位相差パルス信号が出力されると、このパルス信号により、チャージポンプ回路22のCMOSインバータInv224の出力がMOSトランジスタQ223のソースに印加される。これにより、MOSトランジスタQ223が、位相差パルス幅の期間だけ導通し、キャパシタCF220を放電する。キャパシタCF220の電圧減少分は、V/I変換回路23および電流加算回路25を介して、CCO26に入力される。これを受けて、CCO26は、発振周波数 f_v を減少させる。

【0051】

また、出力端子214から出力されたDOWNの位相差パルス信号により、T/I変換回路24のCMOSインバータInv244の出力がMOSトランジスタ243のソースに印加される。これにより、MOSトランジスタQ243が、位相差パルス幅の期間だけ導通し、電流加算回路25のリード制御入力に電流を引き抜く方向の系の安定化リード制御信号を印加する。

【0052】

図4に示す、本実施形態の電流スイッチ回路を適用したPLL回路では、電流スイッチの動作が高速であり、かつ電流パルス出力の充放電の対称性が良いため、何らの補正もなしに狭パルス（たとえば100ps以下）動作が可能となる。したがって、PLLとして数100MHz～数GHzの動作も可能になる。また、各電流スイッチの構成が簡単で且つ低電圧（たとえば2V以下）動作が可能であるため、近年の高速マイクロプロセッサのクロック発生器に必要な低電圧広帯域PLLを実現することができる。

【0053】

なお、当然のことながら、図4に示すPLL回路を構成するMOSトランジスタ、MOSダイオード、およびCMOSインバータは、1つのLSIに作り込むことが可能である。

【0054】

次に、本発明の第一実施形態である電流スイッチ回路をD/A変換回路に適用した場合について説明する。

【0055】

図5は、本発明の第一実施形態である電流スイッチ回路が適用された電流加形のD/A変換回路の概略構成図である。

【0056】

図5に示すD/A変換回路は、入力となるデジタル信号のビットMSB～LSB各々に対応するように、2進で重み付けがなされた複数の電流スイッチ回路（MOSトランジスタ Q_x 、CMOSインバータ Inv_x 、ただし、 $1 \leq x \leq n$ 、 n は入力デジタル信号のビット数）を備えて構成されている。

【0057】

各電流スイッチ回路のMOSトランジスタ Q_X は、ドレインが帰還抵抗 R_f を有するオペアンプAmp 31の(−)入力側端子に接続され、また、ゲートが共通して接続され、さらに、ソースが、対応するCMOSインバータ I_{nv_X} の出力に接続されている。なお、各MOSトランジスタ Q_X のゲートは、基準電流 I_S を流すMOSダイオード Q_{32} によってバイアスされるカレントミラー回路を構成している。

【0058】

各電流スイッチ回路のCMOSインバータ I_{nv_X} には、入力となるデジタル信号の対応するビットが入力される。各CMOSインバータ I_{nv_X} の電源は、GNDと $-V_D$ である。 V_D の値は、基準バイアス用のMOSダイオード Q_{32} の動作電圧よりも僅かに大きい値である必要がある。しかしながら、電流バイアス回路を用いているので、 $-V_D$ の安定度は悪くてもよい。

【0059】

次に、図5に示すD/A変換回路の動作について説明する。

【0060】

たとえば、入力デジタル信号のMSBが「H」であるとする。この場合、MSBに対応する電流スイッチ回路のCMOSインバータ I_{nv_1} の出力が $-V_D$ となる。これにより、電流スイッチ Q_1 は導通し、オペアンプAmp 31の(−)入力共通線からMSBに応じた電流 I_{MSB} を流す。したがって、オペアンプAmp 31の出力端子32には、 $R_f \cdot I_{MSB}$ なる出力電圧が発生する。

【0061】

ここでは、一例として、入力デジタル信号のうち、MSBのビット入力動作について説明したが、他のビットの入力動作についても同様である。

【0062】

図5に示すD/A変換回路では、動作速度が極めて高速な本実施形態の電流スイッチ回路を適用しているので、オペアンプAmp 31が反転出力なのと相まって、整定を短かくすることができる。したがって、高速なD/A変換器を、比較的簡単な構成で且つ安価に提供することが可能となる。

【0063】

なお、当然のことながら、図5に示すD/A変換回路を構成するMOSトランジスタ、MOSダイオード、およびCMOSインバータは、1つのLSIに作り込むことが可能である。

【0064】

次に、本発明の第二実施形態について説明する。

【0065】

図6は、本発明の第二実施形態である電流スイッチ回路の概略構成図である。図6に示す電流スイッチ回路は、スイッチング電源などの基本回路となる高電圧パワースイッチング回路である。

【0066】

ここで、Q41は電流スイッチとして機能するパワーMOSトランジスタ（FET）、Inv42はパワーMOSトランジスタQ41駆動用の電圧スイッチとして機能する相補インバータ、Inv43はインバータInv42駆動用のCMOSインバータである。

【0067】

パワーMOSトランジスタQ41は、ゲートが順バイアス電源Vbに接続され、ドレインがコンバータトランス45を介して高電圧電源Vs（たとえば+120V）に接続され、そして、ソースが相補インバータInv42の出力に接続されている。

【0068】

相補インバータInv42は、低電圧のパワーMOSトランジスタQ47およびQ48で構成された相補対性出力回路である。パワーMOSトランジスタQ47およびQ48のドレインは共通して接続され、それが相補インバータInv42の出力となっている。また、パワーMOSトランジスタQ47およびQ48のゲートは共通して接続され、それが相補インバータInv42の入力となっている。また、パワーMOSトランジスタQ47のソースは電源Vccに接続され、パワーMOSトランジスタQ48のソースは接地GNDされている。

【0069】

CMOSインバータInv43には、電源として、Vccおよび接地GNDが供給されている。

【0070】

ここで、各パワーMOSトランジスタの容量を例示すると、Q41は200V/10A、Q47およびQ48は、電源の同期整流用途の15V/10Aなどである。また、各インバータに供給される電源Vccおよびバイアス電源Vbは、電流スイッチであるパワーMOSトランジスタQ41の非飽和動作ゲート電圧 $V_{G_{on}}$ に対し、 $V_{G_{on}} < V_b < V_{cc}$ となるように選んである。たとえば、 $V_{G_{on}} = 4V$ 、 $V_b = 6V$ 、 $V_{cc} = 8V$ である。

【0071】

上記構成の電流スイッチ回路では、CMOSインバータInv43の入力端子60に、高周波のパルス信号が印加されると、相補インバータInv42の出力には、電源Vccおよび接地GND間の電位差を振幅とするパルス信号が現れる。これを受けて、パワーMOSトランジスタQ41は、相補インバータInv42の出力がGND側電位のときに導通し、Vcc側電位のときに遮断する。

【0072】

本実施形態において、パワーMOSトランジスタQ41のソース側の寄生容量は少ない。しかし、相補インバータInv42の出力インピーダンスは、「L」出力時はパワーMOSトランジスタQ48のオン抵抗となり、「H」出力時はパワーMOSトランジスタQ47のオン抵抗となる。そして、中間出力では、パワーMOSトランジスタQ47およびQ48のダイオード抵抗の並列となるため、何れのレベルにおいても低出力インピーダンスとなる。

【0073】

このため、パワーMOSトランジスタQ41の寄生電荷を、相補インバータInv42の何れの出力レベルにおいても、急速に放電することができる。したがって、電流スイッチ回路としての動作は、略理想的な駆動となり高速化する。

【0074】

たとえば、 $V_s = +120V$ 、 $V_{G_{on}} = 4V$ 、 $V_b = 6V$ 、 $V_{cc} = 8V$ とい

った電圧条件において、スイッチング周波数1～10MHzでの動作が可能となる。これにより、コンバータトランス45や平滑キャパシタなどを小形化することができる。本実施形態の電流スイッチ回路は、超音波ドライバなどへの応用にも好適である。

【0075】

なお、本実施形態の電流スイッチ回路において、電流スイッチとなるパワーMOSトランジスタQ41のゲートに印加される順バイアスが定電圧である場合、当該電流スイッチ駆動用の相補対性出力の電圧スイッチは、さらに多様な変形が可能である。

【0076】

図7は図6に示す本発明の第二実施形態の変形例を示す図である。

【0077】

図7に示す変形例では、図6に示す第二実施形態において、低電圧のパワーMOSトランジスタQ47およびQ48で構成された相補インバータInv42に代えて、バイポーラ形トランジスタQ51、Q52でなる相補エミッタホロワDrv50を用いている。相補エミッタホロワDrv50を用いることにより、MOSインバータを用いた場合よりも、さらに低出力インピーダンス化を図ることができ、これにより電流スイッチのスイッチング速度を向上させることが可能となる。

【0078】

次に、本発明の第三実施形態について説明する。

【0079】

図8は、本発明の第三実施形態である電流スイッチ回路の概略構成図である。なお、図8において、図1に示す第一実施形態のものと同一の機能を有するものには、同一の符号を付している。

【0080】

図8に示す第三実施形態の電流スイッチ回路が、図1に示す第一実施形態の電流スイッチ回路と異なる点は、CMOSインバータInv13のVcc側電源電極と電源Vccとの間に、電源降下用のMOSダイオードQ60を挿入したこと

である。その他の構成は、図1に示す第一実施形態のものと同様である。

【0081】

本実施形態によれば、CMOSインバータInv13の出力のしゃ断レベルを必要最少限レベルに設定して、駆動ノイズの発生を低減することができる。電流スイッチ回路を構成する各MOSトランジスタのしきい値が小さくなり、コンダクタンス g_m が向上すれば、駆動電圧振幅は必要最小限でよいので、回路の低消費電力化や低ノイズ化に有効である。その他の効果は、第一実施形態のものと同様である。

【0082】

なお、本実施形態において、電源降下用のMOSダイオードQ60の代わりに、その他の電圧降下手段を用いることも可能である。

【0083】

次に、本発明の第四実施形態について説明する。

【0084】

図9は、本発明の第四実施形態である電流スイッチ回路の概略構成図である。なお、図9において、図1に示す第一実施形態のものと同一の機能を有するものには、同一の符号を付している。

【0085】

図9に示す第四実施形態の電流スイッチ回路が、図1に示す第一実施形態の電流スイッチ回路と異なる点は、CMOSインバータInv13の出力と接地GNDとの間に、出力レベルの最大値を制限するためのMOSダイオードQ62を挿入したことである。その他の構成は、図1に示す第一実施形態のものと同様である。

【0086】

本実施形態においても、上記説明した本発明の第三実施形態と同様に、CMOSインバータInv13の出力のしゃ断レベルを必要最少限レベルに設定して、駆動ノイズの発生を低減することができる。その他の効果は、第一実施形態のものと同様である。

【0087】

なお、本実施形態では、CMOSインバータInv13を構成するPMOSトランジスタのサイズと、MOSダイオードQ62のサイズとを調節することで、しゃ断レベルを任意に設定できるが、反面、MOSダイオードQ62による電力消費が増加する。

【0088】

また、本実施形態において、MOSダイオードQ62の代わりに、その他の振幅調節手段を用いてCMOSインバータInv13の出力のしゃ断レベルを調節するようにしてもよい。

【0089】

なお、上記の各実施形態では、電流スイッチとしてMOSトランジスタを用いたものについて説明したが、本発明に用いる電流スイッチはMOSトランジスタに限定されるものではない。たとえば、バイポーラ形トランジスタでもよい。また、パワー電流スイッチとしては、IGBTやその他の半導体スイッチを適用することが可能である。

【0090】

また、上記の各実施形態では、電圧スイッチとして、CMOSインバータ、あるいは2つのバイポーラ形トランジスタでなる相補エミッタホロウを用いたものについて説明したが、本発明で用いる電圧スイッチは、高低両レベルとも低出力インピーダンスを有する相補対性出力回路であればよい。

【0091】

【発明の効果】

以上説明したように、本発明の電流スイッチ回路によれば、スイッチのオン／オフ双方向ともにスイッチ時間を短縮することができる。また、低電圧動作が可能となる。

【図面の簡単な説明】

【図1】本発明の第一実施形態である電流スイッチ回路の概略構成図である。

【図2】図1に示す電流スイッチ回路の入出力動作波形を示す図である。

【図3】本発明の第一実施形態である電流スイッチ回路が適用されたPLL回路の概略ブロック図である。

【図4】図3に示すPLL回路の概略構成図である。

【図5】第一実施形態である電流スイッチ回路が適用された電流加形のD/A変換回路の概略構成図である。

【図6】本発明の第二実施形態である電流スイッチ回路の概略構成図である。

【図7】図6に示す本発明の第二実施形態の変形例を示す図である。

【図8】本発明の第三実施形態である電流スイッチ回路の概略構成図である。

【図9】本発明の第四実施形態である電流スイッチ回路の概略構成図である。

【符号の説明】

$Q_1 \sim Q_n$ 、 Q_{11} 、 Q_{32} 、 Q_{221} 、 Q_{223} 、 Q_{227} 、 Q_{241} 、 Q_{243} 、 Q_{247} MOSトランジスタ

Q_{12} 、 Q_{60} 、 Q_{62} 、 Q_{225} 、 Q_{226} 、 Q_{245} 、 Q_{246} MOSダイオード

Q_{41} 、 Q_{47} 、 Q_{48} パワーMOSトランジスタ

Q_{51} 、 Q_{52} バイポーラ形トランジスタ

$Inv_1 \sim Inv_n$ 、 Inv_{13} 、 Inv_{43} 、 Inv_{222} 、 Inv_{224} 、 Inv_{242} 、 Inv_{244} CMOSインバータ

Inv_{42} 相補インバータ

Drv_{50} 相補エミッタホロワ

CF_{220} キャパシタ

Amp_{31} オペアンプ

14 負荷

15 入力

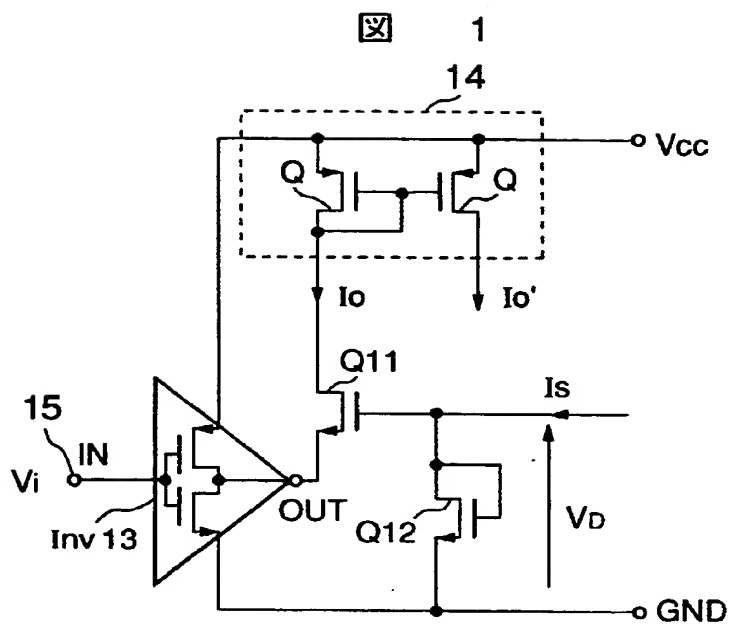
21 位相比較回路

22 チャージポンプ回路

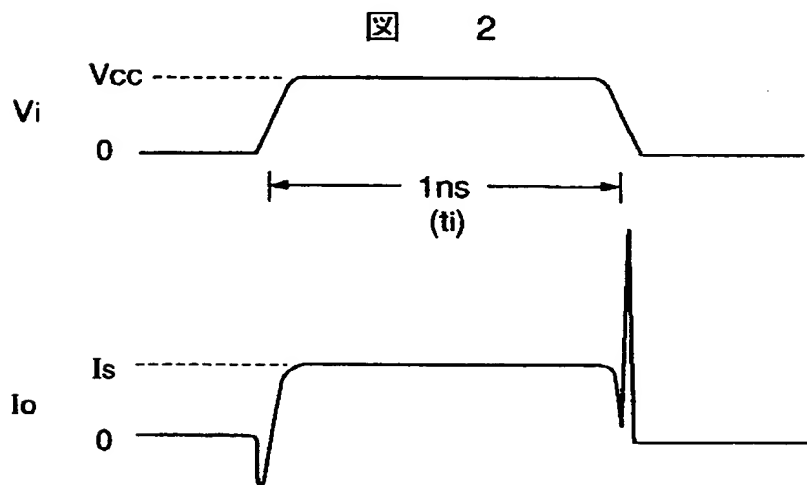
- 23 V/I 変換回路
- 24 T/I 変換回路
- 25 電流加算回路
- 26 電流制御発振器
- 45 コンバータトランス
- 211、212 位相入力端子
- 213、214 二つの位相差出力端子

【書類名】図面

【図1】

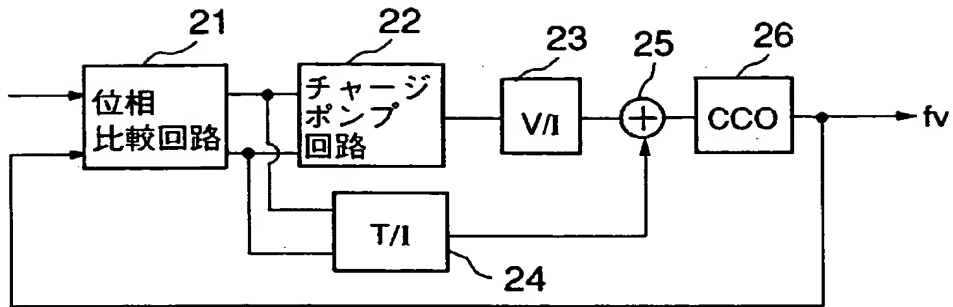


【図2】

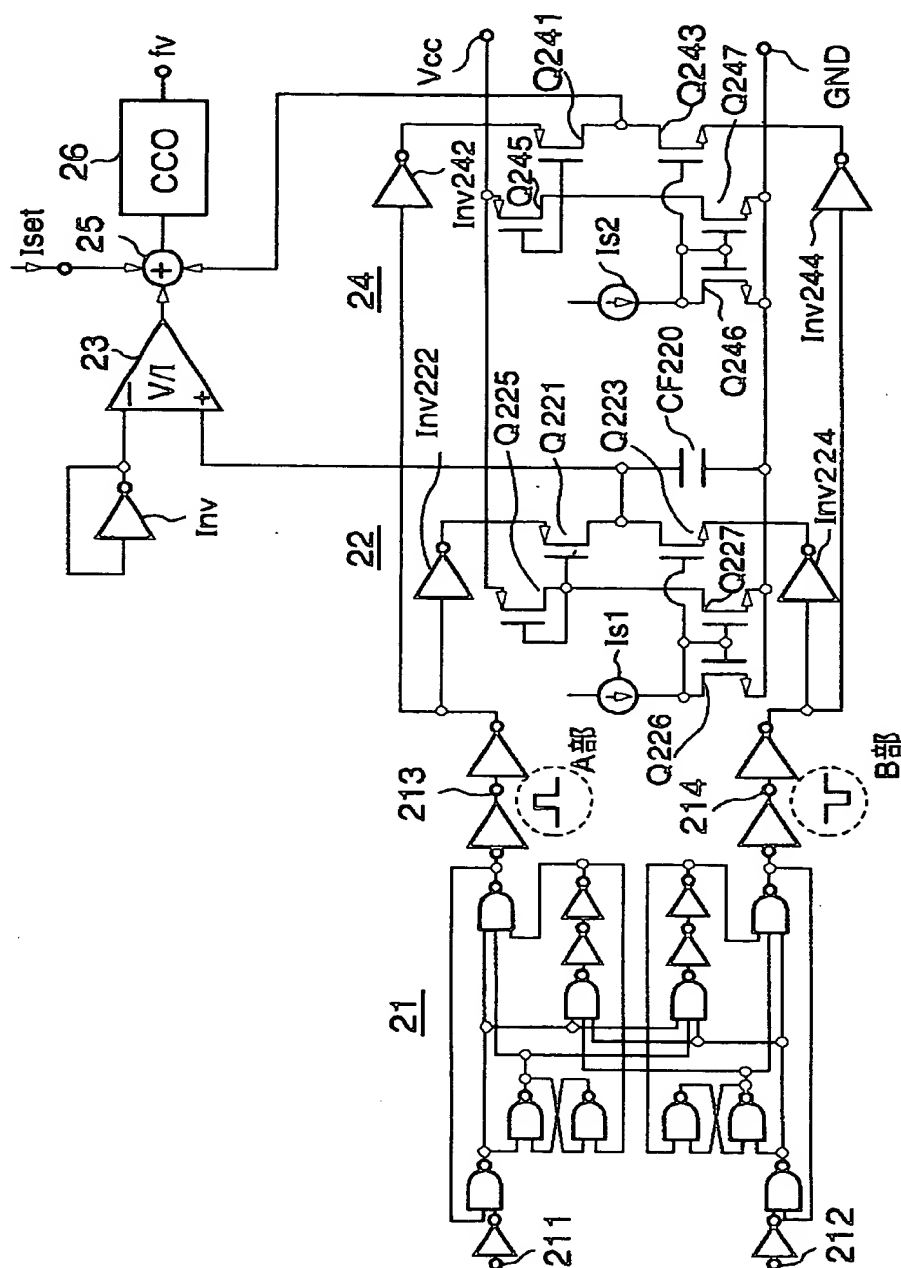


【図3】

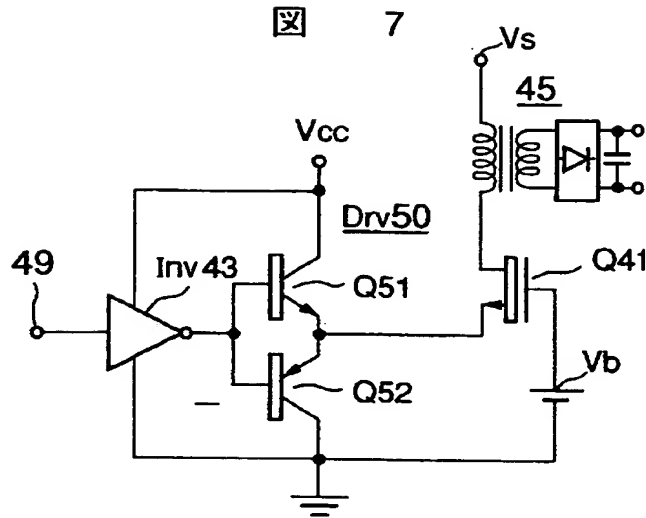
図 3



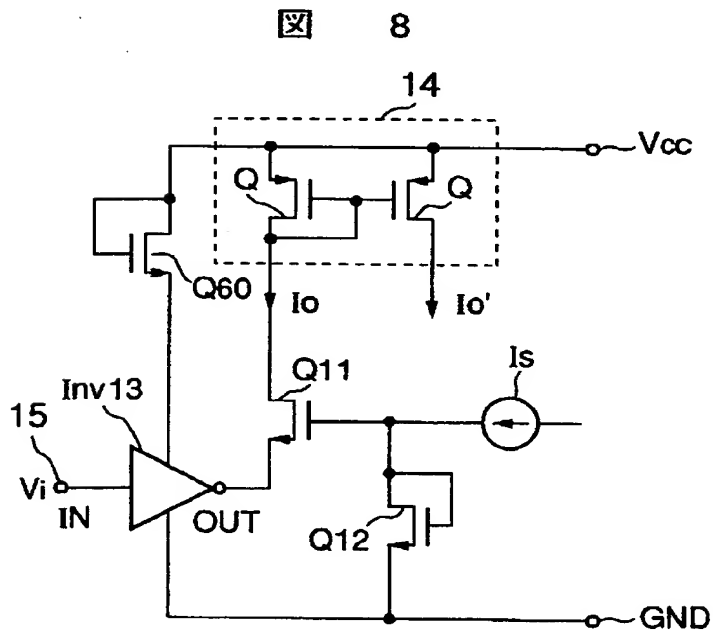
【图 4】



【図 7】

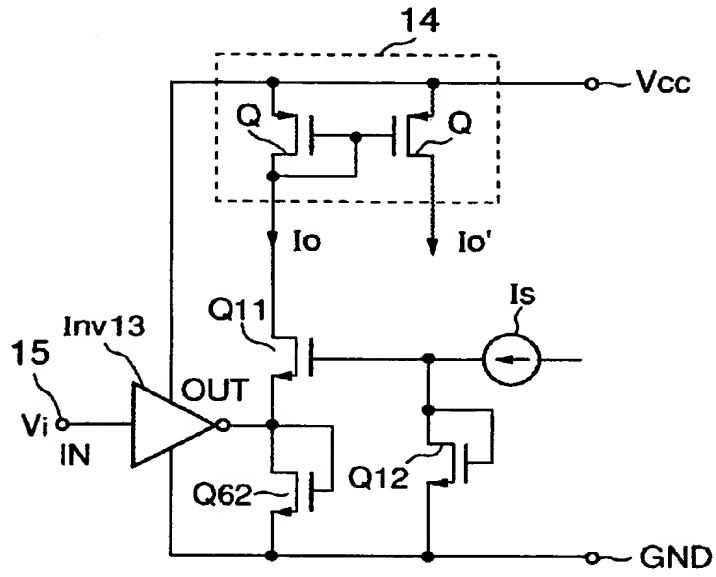


【図 8】



【图9】

图 9



【書類名】 要約書

【要約】

【課題】 スイッチのオン／オフ双方向ともにスイッチ時間を短縮することが可能な電流スイッチ回路を提供する。

【解決手段】 制御電極を順バイアスした電流スイッチ（MOSトランジスタQ11）と、電流スイッチの低電圧側電極に出力が接続された、相補対性出力の電流スイッチ駆動用電圧スイッチ（CMOSインバータInv13）とを備える。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005108

【住所又は居所】 東京都千代田区神田駿河台四丁目6番地

【氏名又は名称】 株式会社日立製作所

【代理人】 申請人

【識別番号】 100087170

【住所又は居所】 神奈川県横浜市西区北幸2丁目9番10号 横浜H
Sビル7階

【氏名又は名称】 富田 和子

特平 9-248701

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

